

* ZX SPECTRUM 128K *

ПЕНТАГОН 128К

ОПИСАНИЕ СХЕМОТЕХНИКИ

ИНСТРУКЦИЯ ПО РЕМОНТУ И
ПО НАЛАДКЕ.

МОСКВА 1994г.

ОПИСАНИЕ РАБОТЫ КОМПЬЮТЕРА

Центральным обрабатывающим элементом служит микропроцессор Z80, который вырабатывает адреса для обращения к внешним и внутренним устройствам, формирует управляющие сигналы для синхронизации схемы, управляет передачей данных по магистрали данных.

Для управления данными используются сигналы:

RD - чтение

WR - запись

MREQ - запрос памяти

IORQ - запрос внешнего устройства

RFSH - сигнал регенерации памяти

Особенностью Z80A является наличие встроенного регистра регенерации, который содержит адрес регенерируемой ячейки памяти. Для определения типа памяти, к которой происходит обращение, служит дешифратор декодирующий адреса A15, A14 и формирующий сигнал выборки ROM [ПЗУ] по выходу OE. Эти сигналы формируются только при чтении. Так как запись в ROM не может быть произведена при низком уровне сигнала разрешения записи RAM WE в компьютере использован "прозрачный" доступ к памяти т.е. контроллер дисплея и микропроцессор не мешают друг другу, временную развязку. А также формирование управляющих сигналов для синхронизации компьютера осуществляет блок синхронизации. Этот блок из синхросигнала, поступающего от задающего генератора частотой 14 МГц формирует сигналы управления:

INT - запрос на прерывание формируется в конце каждого кадра т. е. через каждые 20мс

MPЦ - сигнал, определяющий частоту мигания атрибута при FLASH.

STB CAD - строб записи в сдвиговый регистр дисплея

CAS, RAS - стробы выборки микросхем динамической памяти. Одновременно RAS управляет адресными мультиплексорами памяти. CAS стробирует адрес на системной магистрали или от счетчиков дисплея.

ЧТ. БУФ - строб считывания информации из выходного мультиплексора.

STB. Вых - строб записи в системный регистр RGB RD.

WAIT- сигнал ожидания выдаваемый на микропроцессор, для синхронизации работы памяти и процессора.

WE RAM - сигнал разрешения записи в RAM при низком уровне этого сигнала осуществляет запись по данному фронту CAS в RAM

Для синхронизации монитора предназначен блок синхронизации, который формирует синхросмесь, состоящую из строчных и кадровых импульсов. Для упрощения схемы формирования синхросмеси длительность строчного синхроимпульса выбраны 10 мкс. вместо положенных 4 мкс. по требованию. Это стало возможным потому, что современные телевизоры имеют достаточный запас по длительности строчного синхроимпульса. Контроллер дисплея состоит из:

- входного мультиплексора
- счетчиков развертки
- регистра сдвига
- регистра атрибутов
- регистра поля
- видеомодуляторов адресов
- входного мультиплексора
- входных устройств формирования и инвертирования сигнала

Счетчики строчной развертки формируют сигналы управления строчной разверткой и адреса элементов в строках. Счетчик кадровой разверткой управляет вертикальной разверткой и формирует адреса элементов строк. Сигналы счетчика строчной развертки управляют сигналом вывода информации на дисплей: либо выводят пиксели, либо атрибуты. Причем дисплей построив таким образом, что после вывода на экран байта пикселей необходимо обязательно вывести соответствующий байт атрибутов для задания соответствующих режимов и цветов. Для отображения на экране байт пикселей по строку LDSCR заносится в сдвиговые регистры, в которых производится преобразование байта в последовательный код и выдача его на выход видеомультиплексора дисплея. Преобразование происходит по каждому импульсу LCKO сигнал частотой 7 МГц. Как уже говорилось выше, для отображения одного байта информации необходимо два обращения к памяти за пикселями и атрибутами. На время обращения за атрибутами информация о пикселях задерживается на 4 такта CLKO. Функцию задержки выполняет сдвиговый регистр.

После того, как в сдвиговом регистре окажется байт пикселей, а в регистре атрибутов байт атрибутов, со сдвигового регистра пиксели в последовательном коде поступают на выход управления видеомультиплексорами. В зависимости от пикселя 0 или 1. Из регистра атрибутов выбирается поле PAPER или INK и устанавливается режим BRICHT и (или) FLASH. На видеомультиплексор кроме того подается синхросмесь запрещающая прохождения видеосигнала на время действия строчных и кадровых синхроимпульсов. Видеомультиплексор управляет сигналом БСБК для формирования поля BORDER и задания его цвета из регистра RGB RD. После формирования видео сигнала через инвертор поступает на выход RGB. Для связи с внешними устройствами в составе компьютера предусмотрены следующие системные устройства: клавиатура, Через этот же регистр передаются данные с дисковода, при выбранной клавиатуре, регистр поля RGB RD. С этого же регистра подается сигнал на дисковод и подключается динамическая головка (звук).

ПРИНЦИПИАЛЬНАЯ СХЕМА

Электрическая схема компьютера собрана в основном на элементах малой и средней степени интеграции: серии 555, 561. Исключение составляют: микропроцессор Z80 и постоянная память 27512 или 27256*2. При изучении и настройке компьютера используйте осциллограммы, которые даны в приложении.

Задающий генератор собран на элементах D1 по классической схеме. Для возбуждения генератора используется кварцевый резонатор с частотой резонанса 14 МГц. Допустимо отклонение от заданной частоты в пределах 14350 - 13530 КГц. Генератор формирует парафазную тактовую последовательность CLK0 частотой 7 МГц. Последовательность используется для синхронизации микропроцессора 6D13, формирования строка RAS 3D45 для обращения к памяти и мультиплексорами, а также, для синхронизации остальных блоков компьютера. Сигнал LCK0 с выхода 8D2 поступает на счетчики формирования горизонтальной развертки D3, D4, которые вырабатывают адресные сигналы (C4-C11) для считывания из видео RAM элементов строки, через мультиплексоры адресов D16-D19. Строчные импульсы (C4) формируются элементами D1, D7, D8. Кадровые синхроимпульсы формируются D11, D12, D5, D9. Полная синхросмесь получается на элементе D6 из строчных 8D7 и кадровых 8D5 синхроимпульсов.

Сигнал с 8D7 через D2 поступает на выход 14D11. D12 на выходе которой формируются кадровые последовательности. Сигнал C5 (FAMKA) блокирует D46, D47. Если C5=0, то запрещается отображение информации на экран монитора и выводится содержание регистра поля RGB RD. Если C5=1, то происходит отображение на экран. Сигнал гашения BL формируют B9, VT1. Синхросмесь сформированная блоком развертки с выхода 3D6 поступает на выход монитора через D71, D72 от блока вертикальной развертки по переднему фронту сигнала KS формируется запрос на прерывание INT (10D51).

Адресные сигналы со счетчиков формирования развертки поступают на вход мультиплексора системного адреса D14 и адресных мультиплексоров памяти ОЗУ D16 - D19, где адрес мультиплексируется в адрес непосредственно поступающий на микросхемы памяти D20 - D35. Информация считанная из памяти, выполненной на микросхемах 565PY5 по локальной шине данных может поступать на сдвиговый регистр SNIFT RG D38, D41, D42 на регистр атрибутов ATT R0 D37 D40 на буферный регистр D39 и на регистр поля BRD D43. В сдвиговый регистр информация записывается по высокому уровню строка LDSR 6D5. Число этих импульсов равно числу знакомест в строке и составляет 32. Импульсы LDSR снимаются с 6D5. Как видно из схемы строб LDSR точно соответствует считыванием данных из сдвигового D38. В сдвиговом регистре происходит преобразование считанного байта в последовательный код и задержка на четыре такта CLK0. Задержка выполняется для синхронизации отображения пикселей и атрибутов во времени, так как атрибут считывает сразу после пикселя.

Регистр атрибутов выполнен на элементах D37, D40. Запись информации в регистр производится по заднему фронту сигнала 2D3 данные из регистра атрибутов со сдвигового регистра через видеомultipлексоры D46, D47 через D71, D72 поступает в монитор.

Для обеспечения максимальной скорости работы интерфейса временные диаграммы контроллера дисплея и микропроцессора синхронизированы сигналами довыборки CAS

11D63 строба регистра сдвига SHIFT RG 6D5 и строба записи в буфер ОЗУ 11D49, для записи на магнитофон используется один из разрядов регистра поля, информация с выхода которого, через формирователь АЧХ, выполнений на цепочке RC поступает на вход магнитофона. Уровень сигнала на выходе формирователя определяет резистор и должен устанавливаться порядка 300 Ом. Четвертый разряд данных через D10 использован для канала звука. Разряды 0,1,2 D43 определяют цвет поля BORDER. Устройство ввода информации собрано на D44. К выводу одного из входов подключен магнитофонный адаптер собранный на D100 и элементах R,C, VD16 - VD19

РАБОТА ИНТЕРФЕЙСА ДИСКОВОДА

Рассмотрим прохождение сигналов по принципиальной схеме. Включение интерфейса в работу с компьютером осуществляется при переводе триггера D76 в нулевое состояние. Это возможно в двух случаях:

1. если при чтении ПК кода команды по адресу 14616 или 15619 на выходе D75 устанавливается 0 ($A13=A12=A11=A10=A8$) $A15=A14=A9=0$, который поступает 12D77. На 13D77 поступает логический "0" через D77.2 и устанавливает D76 в нулевое состояние.
2. при нажатии кнопки MAGIC (копирование программы загруженной в ОЗУ на диск). В этом случае в момент чтения кода команды из ОЗУ компьютера на 8D77 появится импульс логического нуля, длительностью равной - M1 ($A14$ или $A15$ не равны нулю), что приводит к появлению нуля на 9D77, а на 10D77 также присутствует нуль, так как $MREQ=0$ и $-M1=0$. Этот импульс через D77, D82 поступает на 10D76 и пытается опрокинуть триггер в единичное состояние.

Однако при нажатии кнопки MAGIC импульсом -M1 запускаются одновибраторы D78.1 и D78.2. Импульс логического нуля с 12D76 длительность около 6 мкс через R13 поступает на 13D76, тогда триггер D76 оказывается в нулевом состоянии. Импульс немаскированного прерывания -NMI с 4D78 длительностью около 60 мкс будет проанализирован Z80 в конце текущей команды и процессор автоматически перейдет на адрес 006H для выполнения команды перезаписи.

Таким образом в каждом из трех случаев триггер D76 оказывается установленным в нулевое состояние. Это позволяет ПК обратиться либо к TR DOS, либо к контроллеру НГМД.

Обращение к TR DOS осуществляется следующим образом: нулевой потенциал с 9D76 поступает на 11D83. При обращении к контроллеру $A14=A15=0$, поэтому с выхода 3D77 низкий потенциал в результате на 11D83 сигнал $DOSEN=0$ и определяет половину памяти 27512 (подается на 11D36). При установке D76 в "1" не зависимо от $A14$ и $A15$ сигнал $DOSEN=1$ выбирается половина ПЗУ с SOS объемом 256K. Деление половинки ПЗУ на 128K производится сигналом ROM2 (подается на 27D36). На 20D36 подается общий провод.

Если компьютер обращается к другим устройствам интерфейса, а обращение идет как к устройствам ввода-вывода, то на 6D83 появится логический нуль ($A0=A1=1$ $IORG=0$, $9D76=0$), который включает дешифратор D89, обеспечивающий выборку остальных устройств интерфейса, работа которых будет рассмотрена ниже.

Отключение интерфейса (установка триггера B76 в единичное состояние) производится двумя способами:

1. Если нажать кнопку сброс ПК или после включения ПК сигнал RESET от ПК через D82 устанавливается D76 в единичное состояние.