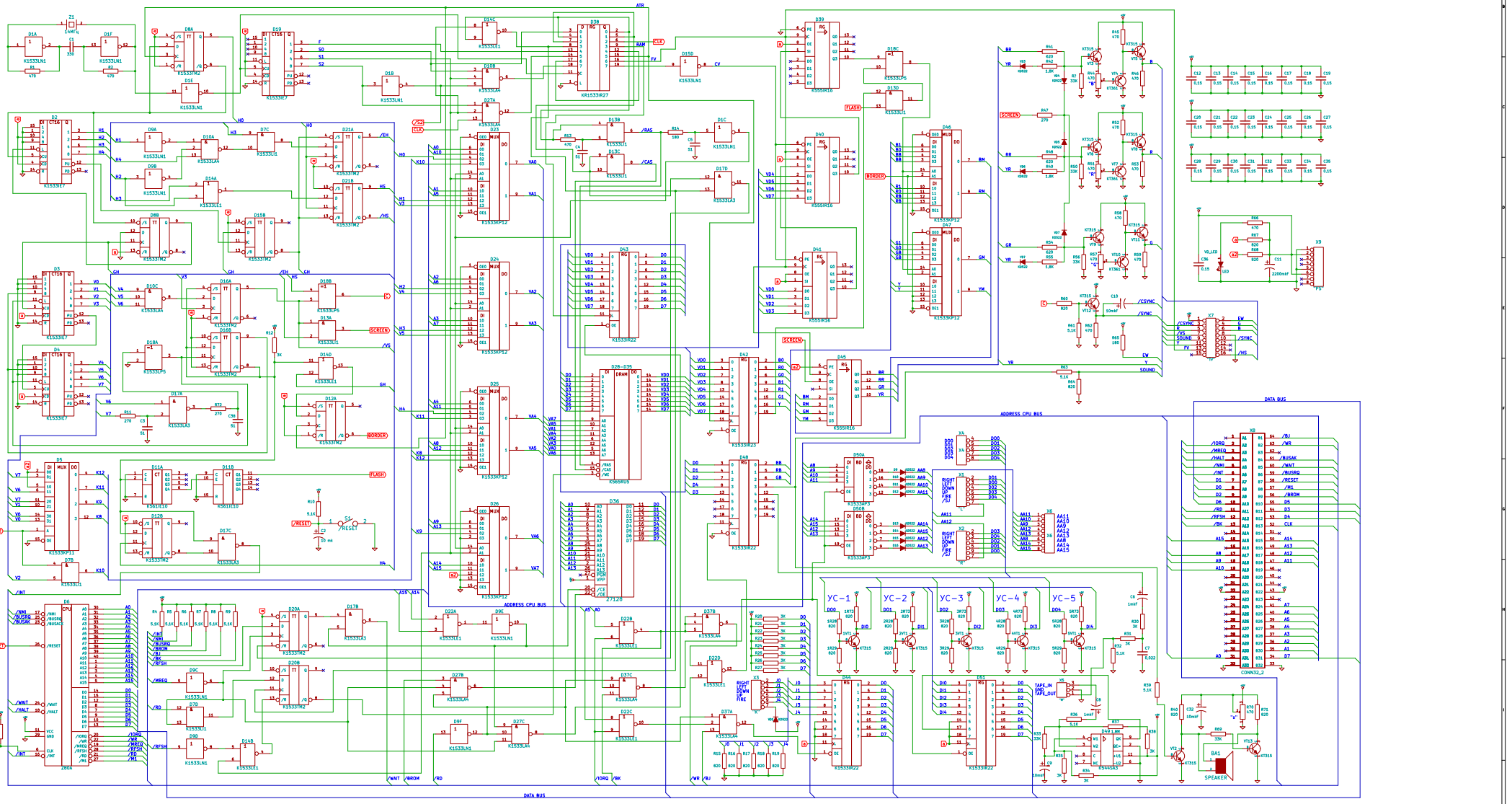
Схема электрическая принципиальная
МПО "Сигнал" (г. Кишинев)
File: Sintez_II_Lorig.sch
Sheet: /
Title: Процессор "Синтез_2"
Size: A1
Date: 29 oct 2012
Rev:
KiCad E.D.A.
Id: 1/1
ATR
ADDRESS CPU BUS
DATA BUS
CONN32_2
SPEAKER
RESET
INT
CLK
WAIT
IORQ
MREQ
RD
WR
BROM
RFSH
M1
HALT
NMI
BUSRQ
BUSAK
SCREEN
FLASH
BORDER
CSYNC
SYNC
HS
VS
SOUND
RIGHT
LEFT
DOWN
UP
FIRE
TAPE_IN
TAPE_OUT
УС-1
УС-2
УС-3
УС-4
УС-5